

PAT-NO: JP411330246A

DOCUMENT-IDENTIFIER: JP 11330246 A

TITLE: MUTUAL INTERCONNECTION OF COPPER AND ITS  
MANUFACTURE

PUBN-DATE: November 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
RABIURU, ISURAM	N/A
ABGELINOS, V GERATOS	N/A
KEVIN, LUCAS	N/A
FILIPIAK, STANLEY M	N/A
RAMUNAS, BENKATORAMAN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MOTOROLA INC	N/A

APPL-NO: JP11097400

APPL-DATE: April 5, 1999

INT-CL (IPC): H01L021/768, H01L021/3205

ABSTRACT:

**PROBLEM TO BE SOLVED:** To provide a mutual interconnection of copper and a method of manufacturing which are capable of reliability enhancement in a semiconductor device, by exposing a mutual copper interconnection member to hydrogen- containing plasma, forming copper oxide from outside, and inhibiting oxidization a clarified copper layer again before forming a copper barrier layer on the surface.

**SOLUTION:** A mutual copper interconnection member 39 is formed in an opening for mutual interconnection after removing a second copper layer, a first copper layer and a conductive barrier layer. A copper barrier layer 40 consisting of silicon and nitrogen is formed on the mutual copper interconnection member 39.

The mutual copper interconnection member 39 is exposed to hydrogen-containing silicon-free plasma. Copper oxide is removed from an exposed part of the mutual copper interconnection member 39. The processed substrate is cleaned in the same chamber as that of the copper barrier layer, so that the cleaned copper surface is not exposed again before the deposition and is not oxidized again. With these manufacturing steps, reliability of the semiconductor device is enhanced.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平11-330246

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/768  
21/3205

識別記号

F I

H 0 1 L 21/90  
21/88

C  
M

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-97400

(22) 出願日 平成11年(1999)4月5日

(31) 優先権主張番号 0 5 5 5 1 0

(32) 優先日 1998年4月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド  
MOTOROLA INCORPORAT  
RED  
アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 ラビウル・イスラム

アメリカ合衆国テキサス州オースティン、ア  
パートメント・ナンバー214、グレイスト  
ーン・ドライブ3500

(74) 代理人 弁理士 大賀 進介 (外2名)

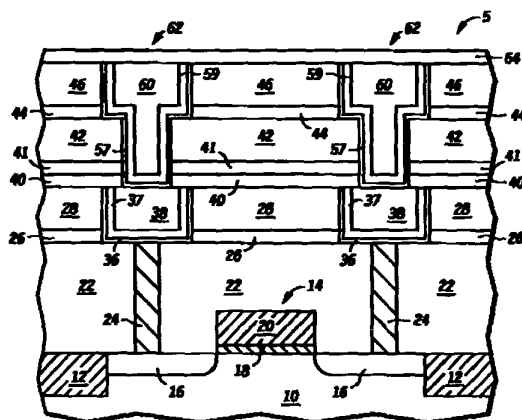
最終頁に続く

(54) 【発明の名称】 銅相互接続構造および形成方法

(57) 【要約】

【課題】 銅相互接続部を用いた半導体素子を信頼性高く製造可能な方法を提供する。

【解決手段】 一実施例では、半導体基板(10)上に誘電体層(28)を堆積することによって、銅相互接続構造を形成する。次に、誘電体層(28)にパターニングを行い、相互接続開口(29)を形成する。次に、相互接続開口(29)内に銅層(34)を形成する。次に、銅層(34)の一部を除去し、相互接続開口(29)内に銅相互接続部(39)を形成する。次に、銅相互接続部(39)上に銅バリア層(40)を形成する。アンモニアのみをソース・ガスとして用いて発生したプラズマに銅相互接続部(39)の露出面を露出させることにより、銅バリア層(40)と銅相互接続部(39)との間の接着性を向上させる。



## 【特許請求の範囲】

【請求項1】半導体素子内部に銅相互接続構造を形成する方法であって：半導体基板を用意する段階；前記半導体基板上に誘電体層を形成する段階；前記誘電体層にパターンニングを行い、該誘電体層内に開口を形成する段階；前記半導体基板上に銅層を形成し、前記開口内に前記銅層を配する段階；前記銅層を研磨し、前記開口内に銅相互接続部を形成する段階であって、該銅相互接続部が上面を有する、段階；前記銅相互接続部を、水素を含むプラズマに露出させ、前記銅相互接続部の前記上面から酸化銅を除去し、清浄化した銅表面を形成する段階；および前記清浄化した銅表面上に銅バリア層を形成し、該銅バリア層を形成する前に、前記清浄化した銅層を再度酸化させない段階；から成ることを特徴とする方法。

【請求項2】半導体素子内部に銅相互接続構造を形成する方法であって：半導体基板を用意する段階；前記半導体基板上に誘電体層を形成する段階；前記誘電体層にパターンニングを行い、該誘電体層内に開口を形成する段階；前記半導体基板上に銅層を形成し、前記開口内に前記銅層を配する段階；前記銅層を研磨し、前記開口内に銅相互接続部を形成する段階であって、該銅相互接続部が上面を有する、段階；前記銅相互接続部の前記上面から酸化銅を除去し、清浄化した銅表面を形成する段階；および前記清浄化した銅表面上に銅バリア層を形成する段階；から成ることを特徴とする方法。

【請求項3】半導体素子内部に銅相互接続構造を形成する方法であって：半導体基板を用意する段階；前記半導体基板上に誘電体層を形成する段階；前記誘電体層にパターンニングを行い、該誘電体層内に開口を形成する段階；前記半導体基板上に銅層を形成し、前記開口内に前記銅層を配する段階；前記銅層を研磨し、前記開口内に銅相互接続部を形成する段階であって、該銅相互接続部が上面を有する、段階；前記銅相互接続部を、水素および窒素を含むプラズマに露出させ、前記銅相互接続部の前記上面から酸化銅を除去し、かつ清浄化した銅表面を形成する段階；前記清浄化した銅表面上に銅バリア層を形成し、前記銅バリア層を形成する前に、前記清浄化した銅表面を再度酸化させない段階；から成ることを特徴とする方法。

【請求項4】半導体素子内部に銅相互接続構造を形成する方法であって：半導体基板を用意する段階；前記半導体基板上に誘電体層を形成する段階；前記誘電体層にパターンニングを行い、該誘電体層内に開口を形成する段階；前記半導体基板上に銅層を形成し、前記開口内に前記銅層を配する段階；前記銅層を研磨し、前記開口内に銅相互接続部を形成する段階であって、該銅相互接続部が上面を有する、段階；前記銅相互接続部を、水素を含む無シリコン・プラズマに露出させて、前記銅相互接続部の前記上面から酸化銅を除去し、かつ清浄化した銅表面を形成する段階；および前記清浄化した銅表面上に銅

バリア層を形成する段階；から成り、前記銅相互接続部を露出させる段階、および前記銅バリア層を形成する段階を同一チャンパ内で行うことを特徴とする方法。

【請求項5】半導体素子内部に銅相互接続構造を形成する方法であって：半導体基板を用意する段階；前記半導体基板上に誘電体層を形成する段階；前記誘電体層にパターンニングを行い、該誘電体層内に開口を形成する段階；前記半導体基板上に銅層を形成し、前記開口内に前記銅層を配する段階；前記銅層を研磨し、前記開口内に銅相互接続部を形成する段階であって、該銅相互接続部が上面を有する、段階；前記銅相互接続部を、水素および窒素を含むプラズマに露出させて、前記銅相互接続部の前記上面から酸化銅を除去し、かつ清浄化した銅表面を形成する段階；および前記清浄化した銅表面上に、シリコンおよび窒素を含む銅バリア層を形成する段階；から成り、前記銅相互接続部を露出する段階および前記銅バリア層を形成する段階を同一チャンパ内で行うことを特徴とする方法。

## 【発明の詳細な説明】

## 20 【0001】

【発明の属する技術分野】本発明は、一般的に、半導体素子に関し、更に特定すれば、半導体素子内部の銅相互接続構造およびその形成方法に関するものである。

## 【0002】

【従来の技術】半導体業界では、従来よりアルミニウムを用いて導電性相互接続を形成している。しかしながら、今日、先進の半導体素子の速度要件を満たすためには、アルミニウムによって与えられる抵抗よりも低い抵抗を有する導電性相互接続部が必要となっている。銅は、その抵抗が低いことのために、従来からのアルミニウム相互接続部にとって代わるものとして最近提案された。銅は、アルミニウムとは異なり、現在半導体素子を製造するために用いている多くの物質において、高い移動性を呈する。したがって、半導体素子内に銅の相互接続を使用するためには、銅バリア層を用いて、半導体素子内部における銅の望ましくない拡散を防止する必要がある。しかしながら、バリア層を銅相互接続に接着することには問題があり、半導体素子が故障する原因となることが多い。

## 40 【0003】

【発明が解決しようとする課題】したがって、銅相互接続部を用いて製造した半導体素子の信頼性向上を可能にするメタライゼーション・プロセスが必要とされている。

## 【0004】

【発明の実施の形態】図1に、本発明の一実施例による半導体素子構造の一部5を示す。この半導体素子構造は、半導体基板10、フィールド分離領域12、トランジスタ14、導電性アラグ24、誘電体層22、エッチ・ストップ層26、および誘電体層28を備えている。

トランジスタ14は、ソース/ドレイン領域16、ゲート誘電体層18、およびゲート電極20を備えている。一実施例では、半導体基板10は、単結晶シリコン基板である。あるいは、半導体基板10は、絶縁物上シリコン基板(silicon-on-insulator substrate)、サファイア上シリコン基板(silicon-on-sapphire substrate)等とすることも可能である。

【0005】一実施例では、フィールド分離領域12はトレンチ分離領域であり、従来からのエッチングおよび化学機械式研磨を用いて形成する。あるいは、フィールド分離領域12は、フィールド酸化物領域とすることも可能であり、シリコン選択酸化法(LOCOS: local oxidation of silicon)、ポリ・バッファLOCOS(PBL: poly-buffered LOCOS)、ポリシリコン封入選択酸化法(PELOX: polysilicon encapsulated local oxidation)等のような従来からの技法を用いて形成する。

【0006】一実施例では、ゲート誘電体層18は熱二酸化シリコン層であり、半導体基板10の一部を熱的に酸化させることによって形成する。あるいは、ゲート誘電体層18は、窒化シリコン層、酸化シリコン層、化学蒸着二酸化シリコン層、窒化酸化物層、またはこれらの組み合わせとすることも可能である。

【0007】一実施例では、ゲート電極20はポリシリコン層である。あるいは、ゲート電極20は、タングステンまたはモリブデンのような金属層、窒化チタンまたは窒化タングステンのような窒化金属層、またはその組み合わせとすることも可能である。加えて、ゲート電極20は、ポリシリコン層の上に位置する、タングステン・シリサイド、チタン・シリサイド、コバルト・シリサイドのような金属シリサイド層から成るポリサイド層とすることも可能である。

【0008】一実施例では、誘電体層22は、TEOSをソース・ガスとして用いて形成する、プラズマ堆積酸化物層である。あるいは、誘電体22は、窒化シリコン層、PSG層、BPSG層、SOG層、酸化シリコン層、ポリイミド層、またはこれらの組み合わせとすることも可能である。

【0009】一実施例では、導電性プラグ24は、チタン/窒化チタン・バリア層およびタングステン・コンタクト・フィル(tungsten contact fill)を用いて形成する。堆積した後、従来からのエッチングまたは化学機械式研磨技法を用いて、タングステンおよび下地のチタン/窒化チタン・バリア層を除去し、導電性プラグ24を形成する。あるいは、導電性プラグ24は、コンタクト・フィル材料としてポリシリコンを用いて形成することも可能である。

【0010】一実施例では、エッチ・ストップ層26は酸化シリコン層であり、従来からのプラズマ堆積技法を用いて形成する。あるいは、エッチ・ストップ層26

は、プラズマ堆積窒化シリコン層、窒化硼素層等とすることも可能である。

【0011】一実施例では、誘電体層28はプラズマ堆積酸化物層であり、TEOSをソース・ガスとして用いて形成する。あるいは、誘電体層28は、窒化シリコン層、PSG層、BPSG層、SOG層、酸化シリコン層、ポリイミド層等とすることも可能である。加えて、前述の誘電体材料の組み合わせを用いて誘電体層28を形成することも可能である。

10 【0012】図2において、誘電体層28の一部およびエッチ・ストップ層26の一部を除去し、導電性プラグ24の一部を露出させ、相互接続開口29を形成する。次に、相互接続開口29内部に、導電性バリア層30を形成する。一実施例では、導電性バリア層30は窒化タantal層である。あるいは、導電性バリア層30は、窒化チタン層、窒化タングステン層、窒化タantal・シリコン層、タantal層、チタン・タングステン層(TiW)等とすることも可能である。導電性バリア層30は、従来からのスパッタリングまたは化学蒸着技法を用いて堆積することができる。

【0013】次に、導電性バリア30の上に位置する第1銅層32を形成する。図2に示すように、第1銅層32の厚さは、相互接続開口29を埋めるには不十分である。一実施例では、第1銅層32を堆積するには、スパッタ堆積プロセスを用いる。あるいは、化学蒸着プロセスを用いて、第1銅層32を形成してもよい。

30 【0014】次に、電気めっきプロセスを用いて、第1銅層32上に第2銅層34を形成する。図2に示すように、第2銅層34の厚さは、相互接続開口29を埋めるのに十分である。一実施例では、第2銅層34を堆積するには、銅(Cu)、硫酸銅(Cu<sub>2</sub>SO<sub>4</sub>)、硫酸(H<sub>2</sub>SO<sub>4</sub>)、および塩酸(HCl)からのもののような塩素イオンから成るめっき溶液を用いる。この特定実施例では、銅電気めっきプロセスの間、半導体基板のエッジ付近において電流密度を変更し、銅の電気めっきの均一性を改善する。これは、本願と同一譲受人に譲渡された米国特許出願番号第08/856,459号に記載されている。尚、米国特許出願番号第08/856,459号の主題は、本願でも使用可能である。あるいは、第2銅層34を形成するには、他の電気めっき技法や他の電気めっき溶液を用いてもよい。加えて、第2銅層34は、化学蒸着のような、他の技法を用いて形成してもよい。

【0015】図3において、第2銅層34、第1銅層32および導電性バリア層30の部分除去し、相互接続開口29内に銅相互接続部39を形成する。この場合、銅相互接続部39は、導電性バリア層30の残留部分36、第1銅層32の残留部分37、および第1銅層34の残留部分38から成る。導電性バリア層30がチタン、タングステン、またはタantalから成る特定実施例

では、銅相互接続部39は、化学機械式研磨プロセスによって形成することも可能である。化学機械式研磨プロセスは、本願の譲受人に譲渡された米国特許出願番号第08/954,190号に記載されているように、過酸化水素、クエン酸アンモニウム、アルミナ、1,2,4-トリアゾル、および脱イオン水から成る研磨スラリーを用いる。米国特許出願番号第08/954,190号の主題は、本願でも使用可能である。あるいは、銅相互接続部39を形成するには、イオン・ビーム・ミリング(ion beam milling)、反応性イオン・ビーム・エッチング、およびプラズマ・エッチングのような従来からのエッチング技法を用いたり、またはエッチングおよび研磨技法の組み合わせを用いることも可能である。

【0016】次に、銅相互接続部39上にシリコンおよび窒素から成る銅バリア層40を形成する。銅バリア層40は、銅相互接続部39内部の銅原子が、後に銅相互接続部39上に堆積される誘電体層内に拡散するのを防止するために用いられる。一実施例では、銅バリア層40は、365ナノメートル以下のフォトレジスト露出波長に対して約0.0ないし約0.15の範囲の吸光係数(k)を有する。更に具体的には、銅バリア層40は、365ナノメートルおよび248ナノメートルのフォトレジスト露出波長において、約0.0ないし約0.15の範囲の吸光係数(k)を有する。

【0017】銅相互接続部39と銅バリア層40間の接着性を改善するために、水素を含む無シリコン・プラズマ(silicon-free plasma)に銅相互接続部39を露出させる。水素を含む無シリコン・プラズマを発生するには、無シリコン・ソース・ガスまたは無シリコン・ソース・ガス群を用い、これらをプラズマ・チャンバに供給する。例えば、一実施例では、水素を含む無シリコン・プラズマは、アンモニア(NH<sub>3</sub>)のみをソース・ガスとして用いて発生し、本質的に水素および窒素から成るプラズマを発生させる。この特定実施例では、本質的に水素および窒素から成るプラズマは、約8.0torrの堆積圧力、約400sccmのアンモニア流量、約200ワットのRF電力、約650ミルの間隔、および約400℃の堆積温度という条件の下で発生する。あるいは、水素を含む無シリコン・プラズマは、水素(H<sub>2</sub>)のみをソース・ガスとして用い、あるいは窒素(N<sub>2</sub>)、ヘリウム(He)、またはアルゴン(Ar)のような不活性ソース・ガスと水素を組み合わせ用いて発生することも可能である。プラズマ・プロセスは、銅バリア層40と銅相互接続部39との間の接着性を低下させる可能性がある酸化銅を、銅相互接続部39の露出面から除去すると考えられる。即ち、プラズマ内の水素が、銅相互接続部表面上の酸化銅と反応して揮発性の水素を形成し、これを吸出し、プラズマ内の窒素が銅表面に衝突することによって、酸化銅の還元を補助すると考えられる。加えて、続く銅バリア層の堆積と同じチャ

ンバ内でこの清浄化プロセスを行うことにより、清浄化された銅表面は、堆積前には空気に再度露出されず、再度酸化されることがなくなる。前述のプラズマ・プロセスは、銅相互接続部の抵抗を低下させず、しかも隣接する銅相互接続部間の漏れ電流を悪化させることもなく、接着性を高めることを注記するのは重要である。

【0018】一実施例では、銅バリア層40は、酸化シリコン(Si<sub>2</sub>O<sub>3</sub>N<sub>2</sub>)層である。この特定実施例では、銅バリア層40は、Applied Materials社のDXZチャンバを取り付けたCenturaプラズマ堆積システムにおいて、約5.0torrの堆積圧力、約73sccmのシラン流量、約92sccmの亜酸化窒素流量、約3900sccmの窒素流量、約500ワットのRF電力、約475ミルの間隔、および約400℃の堆積温度という堆積条件を用いて形成する。約365ナノメートルのフォトレジスト露出波長において、前述の酸化シリコン層は、約1.66の屈折率および約0.0の吸光係数を有する。

【0019】別の実施例では、銅バリア層40は、プラズマ堆積酸化シリコン(Si<sub>3</sub>N<sub>4</sub>)層である。この特定実施例では、銅バリア層40は、Applied Materials社のDXZチャンバを取り付けたCenturaプラズマ堆積システムにおいて、約5.0torrの堆積圧力、約100sccmのシラン流量、約140sccmのアンモニア流量、約4000sccmの窒素流量、約450ワットのRF電力、約610ミルの間隔、および約400℃の堆積温度という堆積条件を用いて形成する。約365ナノメートルのフォトレジスト露出波長において、前述の窒素化シリコン層は、約2.05の屈折率および約0.0の吸光係数を有する。

【0020】銅バリア層40は、インレイド銅メタライゼーション(inlaid copper metallization)と確実に一体化され得ることを注記するのは重要である。その理由は、銅バリア層40は銅相互接続部39に接着し、銅相互接続部39の抵抗にも、隣接するインレイド銅相互接続部間の漏れ電流にも悪影響を及ぼすことがないからである。即ち、約2400オングストローム離間されたインレイド銅相互接続部間の漏れ電流は、銅バリア層40によって被覆した場合、1ナアンペア未満であることがわかっている。このように、本発明は、銅相互接続部を用いて、漏れ電流の少ない半導体素子を製造することも可能にする。

【0021】一実施例では、銅バリア層40に隣接するシリコンおよび窒素を含有する反射防止層41も形成する。反射防止層41は、約5ナノメートルないし約100ナノメートルの範囲の厚さを有する。反射防止層41は、約365ナノメートル以下のフォトレジスト露出波長において、約0.2ないし約1.0の範囲の吸光係数(k)を有する。具体的には、反射防止層41は、365ナノメートルおよび248ナノメートルのフォトレジ

スト露出波長において、約0.2ないし約1.0の範囲の吸光係数(k)を有する。このように、同一フォトレジスト露出波長に対して、銅バリア層40は、反射防止層41の吸光係数よりも小さい吸光係数を有する。

【0022】一実施例では、反射防止層41は、酸化シリコン( $\text{Si}_x\text{O}_y\text{N}_z$ )層である。この特定実施例では、反射防止層41は、Applied Materials社のDXZチャンバを取り付けたCenturaプラズマ堆積システムにおいて、約5.0torrの堆積圧力、約300sccmのシラン流量、約92sccmの亜酸化窒素流量、約3900sccmの窒素流量、約520ワットのRF電力、約475ミルの間隔、および約400℃の堆積温度という堆積条件を用いて形成する。約365ナノメートルのフォトレジスト露出波長において、前述の酸化シリコン層は、約2.8の屈折率および約0.3の吸光係数を有する。

【0023】尚、銅バリア層40および反射防止層41の光学特性は、それぞれの堆積プロセスを調節することにより、個々に変更可能であることは認められよう。例えば、先に論じた、反射防止層41を堆積するために用いるシラン流量を約330sccmに変更すると、その結果、約365ナノメートルのフォトレジスト露出波長において、約0.40の吸光係数を有する酸化シリコン層が得られる。反射防止層41の吸光係数が増大するのは、シラン流量の増大によって、酸化シリコン層内のシリコン濃度が上昇するからである。同様に、シラン流量を減少させると、酸化シリコン層内のシリコン濃度が低下し、その吸光係数も減少する。したがって、反射防止層41および銅バリア層40の光学特性は、独立して変更することができる。例えば、銅バリア層40は、反射防止層41のシリコン濃度よりも低いシリコン濃度を有するように形成することができ、したがって、銅バリア層40は、同一のフォトレジスト露出波長に対して、反射防止層41よりも小さい吸光係数を有することができる。加えて、シリコン、酸素、窒素以外の成分も、銅バリア層40および反射防止層41を形成するために用いる酸化シリコン層に含ませてもよいことを注記しておく。更に、シリコンおよび窒素以外の成分を、銅バリア層40を形成するために用いる窒化シリコン層内に含ませてもよい。例えば、水素がこれら窒化物層内に存在してもよい。

【0024】反射防止層41上に、レベル間誘電体層48を形成する。一実施例では、図4に示すように、レベル間誘電体層48は、誘電体層42、エッチ・ストップ層44および誘電体層46から成る。

【0025】誘電体層42は、TEOSをソース・ガスとして用いて堆積する、プラズマ堆積酸化物層とすればよい。あるいは、誘電体層42は、PSG層、BPSG層、SOG層、ポリイミド層、低誘電率絶縁体等とすることも可能である。

【0026】エッチ・ストップ層44は、プラズマ堆積酸化シリコン層とすればよい。あるいは、エッチ・ストップ層44は、プラズマ堆積窒化シリコン層、窒化硼素層等とすることも可能である。

【0027】誘電体層46は、TEOSをソース・ガスとして用いて堆積する、プラズマ堆積酸化物層とすればよい。あるいは、誘電体層46は、PSG層、BPSG層、SOG層、ポリイミド層、低誘電率絶縁体等とすることも可能である。尚、レベル間誘電体層48は、異なる誘電体材料を用いて形成する必要はないことは認められよう。例えば、レベル間誘電体層48は、プラズマ堆積酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体等のような単一の誘電体材料を用いて形成することも可能である。

【0028】次に、誘電体層48上にフォトレジスト・マスク51を形成する。フォトレジスト・マスク51を形成するには、365ナノメートルまたは248ナノメートルというような、選択したフォトレジスト露出波長を有する電磁放射線を用いる。反射防止層41は、非常に反射性が高い銅相互接続部39上のフォトレジストをリソグラフィによって露出させる場合に発生する可能性がある、フォトレジスト・マスク51内の反射性ノッチング(reflective notching)を減少させることを注記するのは重要である。次に、図5に示すように、フォトレジスト・マスク51を用いて、下地の誘電体層48の一部にパターニングを行う。より具体的には、誘電体層46およびエッチ・ストップ層44の一部を除去して、誘電体層48内に相互接続開口52を形成する。次に、相互接続開口52を形成した後、フォトレジスト・マスク51を除去する。

【0029】図6において、次に、誘電体層48上にフォトレジスト・マスク53を形成する。フォトレジスト・マスク53を形成するには、365ナノメートルまたは248ナノメートルというような、選択したフォトレジスト露出波長を有する電磁放射線を用いる。反射防止層41は、非常に反射性が高い銅相互接続部39上のフォトレジストをリソグラフィによって露出させる場合に発生する可能性がある、フォトレジスト・マスク53内の反射性ノッチングを減少させることを注記するのは重要である。次に、図6に示すように、フォトレジスト・マスク53を用いて、下地の誘電体層48の一部にパターニングを行う。より具体的には、誘電体層42の一部、反射防止層41、および銅バリア層40を除去し、銅相互接続部39の一部を露出させるビア開口54を形成する。また、この結果、誘電体層48内にデュアル・インレイド開口(dual inlaid opening)50も形成される。デュアル・インレイド開口50は、相互接続部分52およびビア部分54から成る。次に、誘電体層48内にデュアル・インレイド開口50を形成した後、フォトレジスト・マスク53を除去する。

【0030】図7において、次に、デュアル・インレイド開口50内に第2導電性バリア層を形成する。一実施例では、第2導電性バリア層は窒化タンタル層である。あるいは、第2導電性バリア層は、窒化チタン層、窒化タングステン層、窒化タンタル・シリコン層、タンタル層、チタン・タングステン層(TiW)等とすることも可能である。第2導電性バリア層を堆積するには、従来からのスパッタリングまたは化学蒸着技法を用いればよい。

【0031】次に、第2導電性バリア層上に第3銅層を形成する。図7に示すように、第3銅層の厚さは、デュアル・インレイド開口50を埋めるには不十分である。一実施例では、第3銅層を形成するには、スパッタ堆積プロセスを用いる。あるいは、第3銅層を形成するには、化学蒸着プロセスを用いることも可能である。

【0032】次に、電気めっきプロセスを用いて、第3銅層上に第4銅層を形成する。第4銅層の厚さは、デュアル・インレイド開口50を埋めるのに十分である。一実施例では、第4銅層を堆積するには、銅(Cu)、硫酸銅(Cu<sub>2</sub>SO<sub>4</sub>)、硫酸(H<sub>2</sub>SO<sub>4</sub>)、および塩酸(HCl)からのもののような塩素イオンから成るめっき溶液を用いる。この特定実施例では、銅電気めっきプロセスの間、半導体基板のエッジ付近において電流密度を変更し、銅の電気めっき均一性を改善する。これは、本願と同一譲受人に譲渡された米国特許出願番号第08/856,459号に記載されている。尚、米国特許出願番号第08/856,459号の主題は、本願でも使用可能である。あるいは、第4銅層を形成するには、他の電気めっき技法や他の電気めっき溶液を用いることも可能である。加えて、第4銅層は、化学蒸着のような、他の技法を用いて形成することも可能である。

【0033】次に、第4銅層、第3銅層および第2導電性バリア層の部分を除去し、デュアル・インレイド開口50内に銅相互接続部62を形成する。この場合、銅相互接続部62は、第2導電性バリア層の残留部分57、第3銅層の残留部分59および第4銅層の残留部分60から成る。第2導電性バリア層がチタン、タングステン、またはタンタルから成る特定実施例では、銅相互接続部62は、化学機械式研磨プロセスによって形成することが可能である。化学機械式研磨プロセスは、本願の譲受人に譲渡された米国特許出願番号第08/954,190号に記載されているように、過酸化水素、クエン酸アンモニウム、アルミナ、1,2,4-トリアゾル、および脱イオン水から成る研磨スラリーを用いる。米国特許出願番号第08/954,190号の主題は、本願でも使用可能である。あるいは、銅相互接続部62を形成するには、イオン・ビーム・ミリング(ion beam milling)、反応性イオン・ビーム・エッチング、およびプラズマ・エッチングのような従来からのエッチング技法を用いたり、またはエッチングおよび研磨技法の組み合わせ

を用いることも可能である。

【0034】次に、図3において既に述べたように、銅相互接続部62上にシリコンおよび窒素から成る銅バリア層64を形成する。追加の相互接続レベルが不要な場合、銅バリア層64は最終的な素子のバシペーション層として機能する。続いて、これを貫通するボンド・パッド開口(図示せず)を形成する。あるいは、追加の相互接続レベルが必要な場合、図3ないし図7において述べた工程を繰り返す。

【0035】以上の説明から、本発明によれば、銅相互接続部を用いた半導体素子を信頼性高く製造可能なメタライゼーション・プロセスが提供されたことが明らかであろう。本発明は、その具体的な実施例を参照しながら説明しかつ図示したが、本発明は図示したこれらの実施例に限定されることを意図するものではない。本発明の精神および範囲から逸脱することなく、変更や変形が可能であることを当業者は認めよう。したがって、本発明は、特許請求の範囲に該当する変形および変更全てを包含することを意図するものである。

#### 20 【図面の簡単な説明】

【図1】本発明の一実施例によるプロセス工程を示す断面図。

【図2】本発明の一実施例によるプロセス工程を示す断面図。

【図3】本発明の一実施例によるプロセス工程を示す断面図。

【図4】本発明の一実施例によるプロセス工程を示す断面図。

【図5】本発明の一実施例によるプロセス工程を示す断面図。

【図6】本発明の一実施例によるプロセス工程を示す断面図。

【図7】本発明の一実施例によるプロセス工程を示す断面図。

#### 【符号の説明】

- 5 半導体素子構造の一部
- 10 半導体基板
- 12 フィールド分離領域
- 14 トランジスタ
- 16 ソース/ドレイン領域
- 18 ゲート誘電体層
- 20 ゲート電極
- 22, 28, 42, 46 誘電体層
- 24 導電性プラグ
- 26, 44 エッチ・ストップ層
- 29, 52 相互接続開口
- 30 導電性バリア層
- 32 第1銅層
- 34 第2銅層
- 36 導電性バリア層30の残留部分



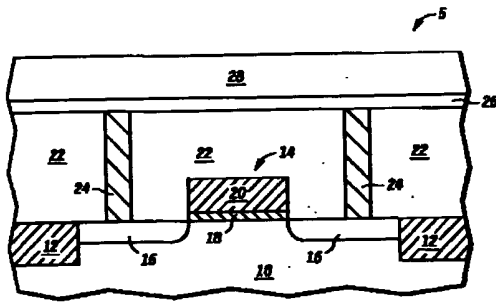
11

- 37 第1銅層32の残留部分  
38 第1銅層34の残留部分  
39, 62 銅相互接続部  
40 銅バリア層  
41 反射防止層  
48 レベル間誘電体層

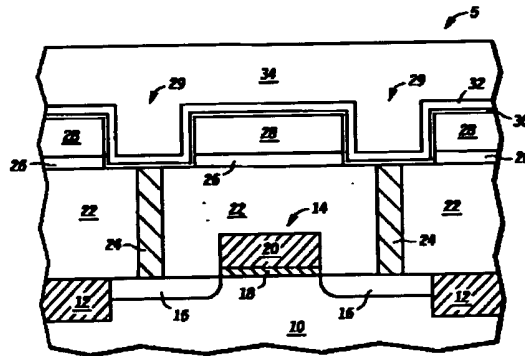
12

- 51, 53 フォトレジスト・マスク  
54 ビア開口  
50 デュアル・インレイド開口  
57 第2導電性バリア層の残留部分  
59 第3銅層の残留部分  
60 第4銅層の残留部分

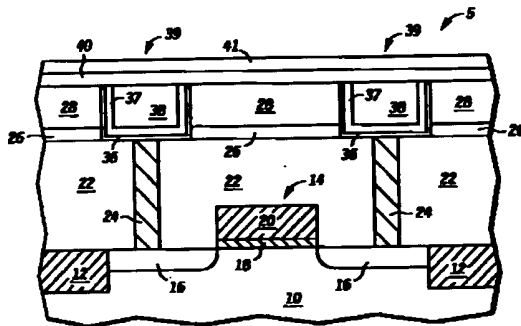
【図1】



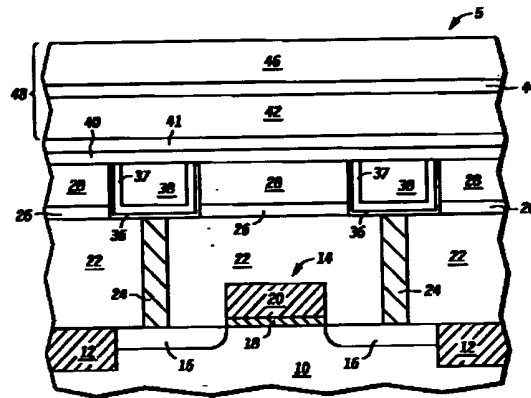
【図2】



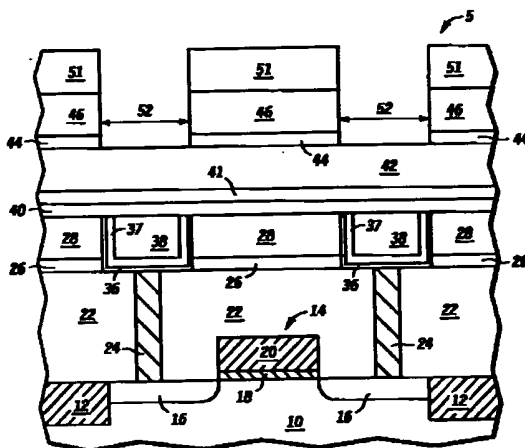
【図3】



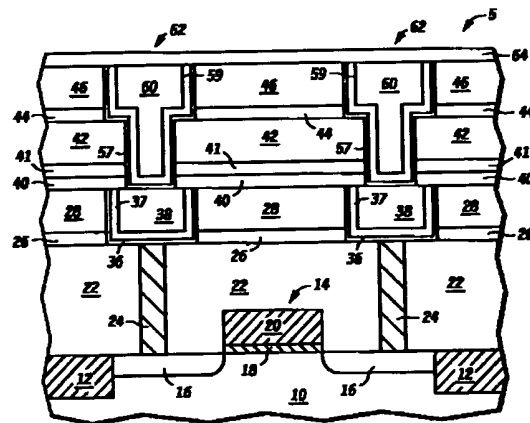
【図4】



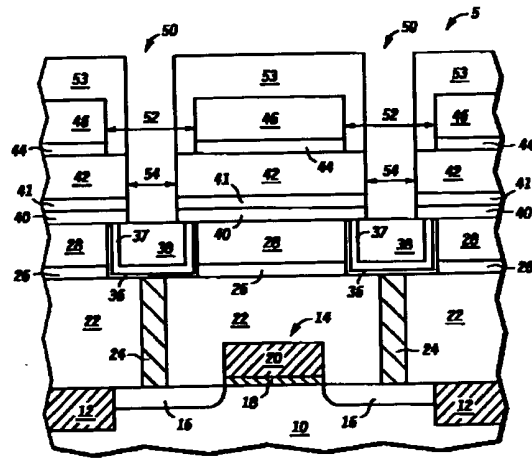
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 アブゲリノス・ブイ・ゲラトス  
アメリカ合衆国カリフォルニア州レッドウ  
ッド・シティ、イートン・アベニュー2651  
(72)発明者 ケビン・ルーカス  
アメリカ合衆国テキサス州オースチン、リ  
ッジリー・ドライブ4001

(72)発明者 スタンレイ・エム・フィリピアク  
アメリカ合衆国テキサス州フルガービル、  
グリーンウェイ・ドライブ500  
(72)発明者 ラムナス・ベンカトラマン  
アメリカ合衆国テキサス州オースチン、ハ  
ローゲート・ドライブ6221